

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-107838  
(43)Date of publication of application : 13.06.1985

(51)Int.CI.

H01L 21/31  
H01L 27/04

(21)Application number : 58-216629  
(22)Date of filing : 17.11.1983

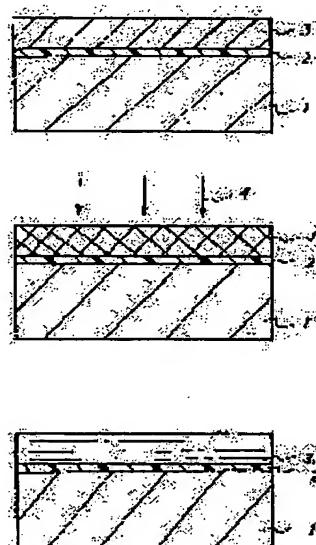
(71)Applicant : NEC CORP  
(72)Inventor : HOKARI YASUAKI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To obtain a film, leakage currents therefrom are little and dielectric strength thereof is high, by laminating and applying first and second insulating films on the surface of a semiconductor substrate, implanting accelerated ions to the second insulating film to bring the second insulating film to an amorphous state and changing the second insulating film to a compact film through heat treatment when a dielectric film having high relative permittivity in Ta<sub>2</sub>O<sub>5</sub>, TiO<sub>2</sub>, etc. is formed on the surface of the substrate.

**CONSTITUTION:** An SiO<sub>2</sub> film 2 and a Ta<sub>2</sub>O<sub>5</sub> film 3 are laminated and applied on an Si substrate 1, and ions of Ar, O<sub>2</sub>, Ta, etc. are implanted to the film 3 to change the film 3 into a Ta<sub>2</sub>O<sub>5</sub> film 31 having amorphous structure. The surface of the substrate 1 is also brought to an amorphous state at that time, but a change into the amorphous state is not at issue practically because the change is recovered in a subsequent heat treatment process. The film 31 is turned into a Ta<sub>2</sub>O<sub>5</sub> film 35 having compact structure through heat treatment at 600W800°C in an inert gas atmosphere or an oxidizing atmosphere. Accordingly, an electrode is formed on the film 35, and MOS capacitance is shaped.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-107838

⑬ Int.Cl.

H 01 L 21/31  
27/04

識別記号

府内整理番号  
7739-5F  
C-8122-5F

⑭ 公開 昭和60年(1985)6月13日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭58-216629

⑰ 出 願 昭58(1983)11月17日

⑱ 発明者 稲刈泰明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原晋

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板表面、もしくは該半導体基板上に設けられた第1の絶縁膜の表面に第2の絶縁膜を設け、次に該第2の絶縁膜表面に加速せしめたイオンを照射することにより、該第2の絶縁膜を非晶質化し、続いて熱処理を行うことにより該第2の絶縁膜を緻密な膜とする工程を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、 $Ta_2O_5$ 、 $TiO_2$ などの比誘電率の高い誘電体膜の形成方法に関するもので、特に、膜中を流れりーク電流が少く、また絶縁耐圧の高い誘電体膜を形成する方法に関するものである。

近年、MOS型半導体装置が広く用いられ、そ

の集成度は年々高密度化が計られている。従来、高密度化はパターンを微細化することにより行なわれてきた。しかし、ダイナミック・ランダムアクセスメモリ(DRAM)の如き半導体装置では、パターンの微細化は信号に対応した蓄積電荷量の低下を招き、α線などの放射線によるメモリの誤動作(ソフトエラー)が発生するという問題が生じている。このため、パターンを微細化しても蓄積電荷量を低下させない手段を講ずる必要がある。従来、電荷を蓄積するMOS容量部分の絶縁膜を薄くし、容量値を低下させないことで対処していた。しかし、絶縁膜が薄くなるとピンホールが増大するため充分な耐圧が得られず歩留りが低圧となるなど、薄膜化にも限界があった。

通常、容量部分の絶縁膜を構成する勝尾体材料として、比誘電率3.9の $SiO_2$ が用いられているが、比誘電率の高い材料を用いれば同じ電極面積でも容量を大きくすることが可能となり、従って、いっそりの微細化が可能となる。このため、すでに、 $Ta_2O_5$ 、 $TiO_2$ などの高誘電材料が検討され

てきた。これらの膜を形成する手段は、例えばTa, Tiなどの金属材料を真空中で蒸着した後、酸素雰囲気中で熱処理、あるいは陽極酸化などの手段で酸化することにより、もしくは $Ta_2O_5$ ,  $TiO_2$ などの絶縁物質を、真空中でスパッタ蒸着する、あるいは気相成長法により堆積するなどの手段で形成されている。しかしながら、これらの手段を用いて形成された膜は、低電圧の印加でリーク電流が多く流れるため、末だ実用に耐える段階に至っていない。

この原因としては、形成された絶縁膜が多結晶構造になっており、その結晶粒界を通じてリーク電流が流れるものと考えられる。従って、膜構造を多結晶構造にしない手段を講ずればリーク電流を低減できるのではないかと本発明者は考えた。

本発明は、かかる考案にもとづき半導体装置において従来の方法によって形成した高比誘電率の絶縁膜の絶縁耐圧が低くリーク電流が大きいという欠点を排除し、高品質の膜を実現する手段を提供することにある。すなわち、本発明は半導体基

板表面、もしくは該半導体基板上に設けられた第1の絶縁膜の表面に第2の絶縁膜を設け、次に該第2の絶縁膜表面に加速せしめたイオンを照射することにより、該第2の絶縁膜を非晶質化し、焼いて熱処理を行うことにより、該第2の絶縁膜を緻密な膜とする工程を有することを特徴とする半導体装置の製造方法に関するものである。

以下、本発明を実施例を用いて詳細に説明する。第1図ないし第3図は、MOS型容量の形成に本発明を適用した場合を例にとり、その工程を説明するための断面構造図である。図において1は半導体基板、2は第1の絶縁膜、3は第2の絶縁膜、4はイオンの飛来方向をそれぞれ示す。以下、半導体基板1としてシリコン基板を、第1の絶縁膜2として $SiO_2$ を、第2の絶縁膜3として $Ta_2O_5$ 膜を用いたMOS容量の製造工程を順を追って説明する。

まず、シリコン基板1の表面に $SiO_2$ 膜2が、続いて $Ta_2O_5$ 膜3が形成される(第1図)。 $SiO_2$ 膜2は、 $Ta_2O_5$ 膜3を形成する過程でシリコン基板

1との反応を防止するために設けられるものであるが、比誘電率が3.9と小さいので、大きなMOS容量を構成する上から薄いことが望ましく、50～100Åの膜厚にするのが好ましい。また、 $Ta_2O_5$ 膜3は、例えばTaを真空中で蒸着した後に、酸素雰囲気中で熱処理する、あるいは陽極酸化をするなどの手段、もしくは $Ta_2O_5$ を真空中でスパッタ蒸着する、あるいは気相成長法により堆積するなどの手段のいずれを用いて形成しても選択は自由である。当然 $Ta_2O_5$ 膜3も大きなMOS容量を得るためにには薄い方が望ましく、200～500Å程度の膜厚が好ましい。形成した $Ta_2O_5$ 膜3は、X線解析によれば非晶質構造であると観察されるが、電気的特性評価からは完全な非晶質とはなっていない。

次に、Ar, O<sub>2</sub>, Taなどの物質をイオンとなし、前記 $Ta_2O_5$ 膜3にイオン打込みすることにより $Ta_2O_5$ 膜3は非晶質な構造を持つ $Ta_2O_5$ 膜3に変えられる(第2図)。 $Ta_2O_5$ 膜3は薄膜であるので、イオン打込みは例えば加速電圧10

～50KeVの条件でドース量 $10^{14} \sim 10^{16} cm^{-2}$ のイオンを打込めば充分良質の非晶質膜が形成される。

前記イオン打込みでは $Ta_2O_5$ 膜3の厚さ方向全体が充分に非晶質となるよう、加速電圧を変化せしめてイオン打込みしても良い。この時、前記シリコン基板1の表面も非晶質化されるが、後の工程で熱処理を行うことにより結晶性が回復するので実用上問題とはならない。また $Ta_2O_5$ 膜3の表面にイオン打込みのマスクとなるマスク膜のパターンを設けタンタル膜の一部分にのみイオン打込みを行なってもよい。なお前記イオン打込みでは、ヒ素、リン、ボロンなどの不純物イオンを打込むことによっても、前記 $Ta_2O_5$ 膜3を非晶質化することは可能であり、この場合にはシリコン基板1の表面に不純物領域の形成は、本発明を他の構造の半導体装置に適用する場合の応用範囲が広くなり好ましい。

非晶質 $Ta_2O_5$ 膜3が形成された後、不活性ガス雰囲気中もしくは酸化雰囲気中600～800°C

の温度で熱処理することにより、非晶質 $Ta_2O_5$ 膜3-1が緻密な構造を持つ $Ta_2O_5$ 膜3-5に変えられる(第3図)。この後、緻密な構造を持つ $Ta_2O_5$ 膜3-5表面に電極が形成され、MO<sub>8</sub>容量が形成される。

本発明を用いて形成したMO<sub>8</sub>容量のリーキ電流量を調べたところ、従来法に比べ約2桁リーキ電流が低減し、充分良好の膜が形成されることが判明した。この効果は、 $Ta_2O_5$ 膜をいったん完全な非晶質膜に変えたことにあることは明らかである。

なお、上記説明では誘電体材料として $Ta_2O_5$ 膜を形成するとして説明したが、本発明は $TiO_2$ 、 $MgO$ 、 $Nb_2O_5$ などの誘電体、もしくは $BaTiO_3$ などの強誘電体にも同様に適用ができる。

#### 4. 図面の簡単な説明

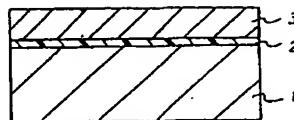
第1図ないし第3図は本発明の一実施例を説明するための各工程における半導体装置の断面図である。1……半導体基板、2……第1の絶縁膜、

3……第2の絶縁膜、4……イオンの飛来方向、  
3-1……非晶質化された第2の絶縁膜、3-5……緻密な構造を持つ第2の絶縁膜。

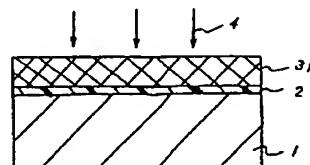
代理人弁理士 内原晋



第1図



第2図



第3図

